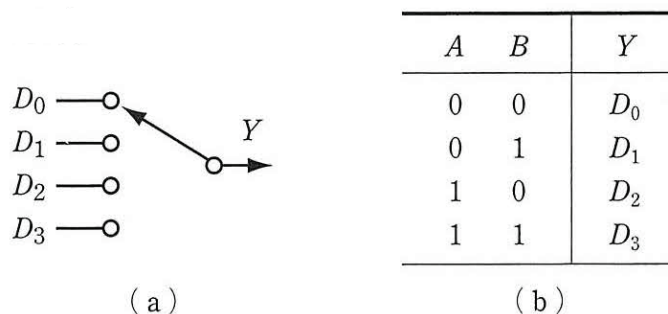


2.4 マルチプレクサとデマルチプレクサ

マルチプレクサ

複数の入力信号線のうちから特定の信号線を選択して1本の共通線に信号を出力する  
選択スイッチ回路

例：選択信号  $A$ ,  $B$  によって入力信号  $D$  を選択して出力する4入力マルチプレクサ



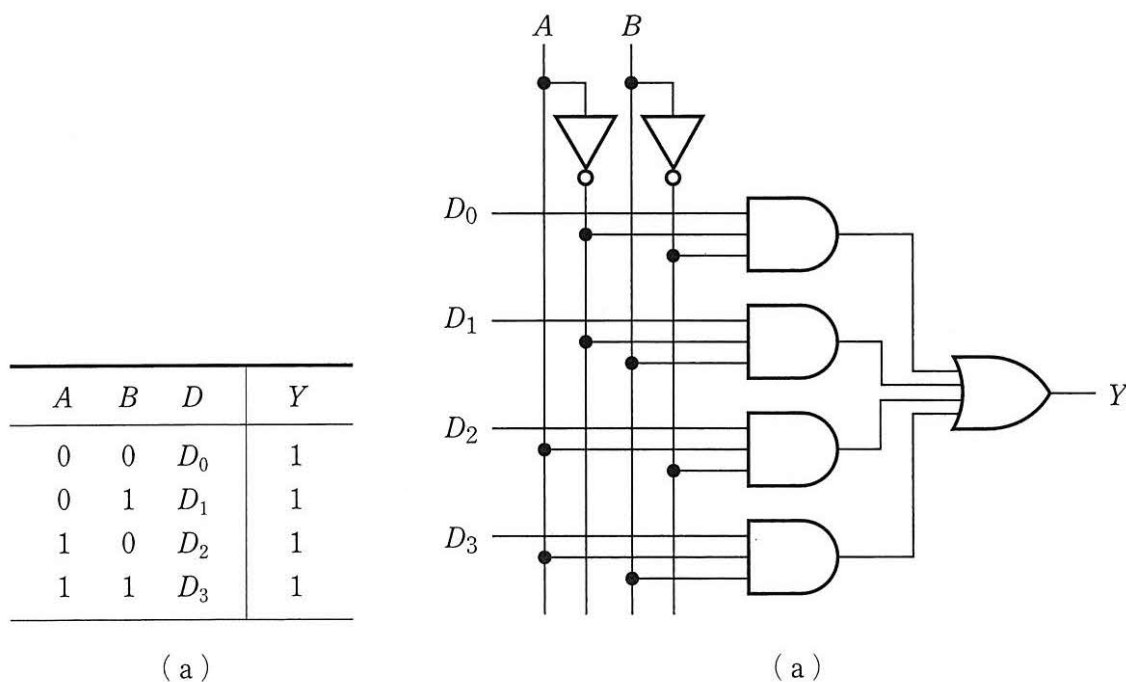
4入力マルチプレクサの概念図と真理値表

入力信号  $D$  が1のとき出力が1になるから真理値表は下記のように書き換えられる

$A$	$B$	$D$	$Y$
0	0	1	1
0	1	1	1
1	0	1	1
1	1	1	1

これを加法標準形の論理式で表現すると次のようになる

$$Y = \overline{A} \cdot \overline{B} \cdot D_0 + \overline{A} \cdot B \cdot D_1 + A \cdot \overline{B} \cdot D_2 + A \cdot B \cdot D_3$$

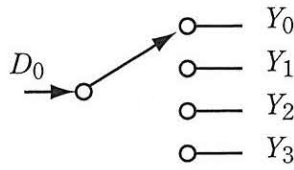


4入力マルチプレクサの論理回路

## デマルチプレクサ

1本の共通線からの信号を選択的に特定の信号線に出力する選択スイッチ回路

例：選択信号  $A$ ,  $B$  によって入力信号  $D$  の配信先が選択される4選択デマルチプレクサ



(a)

$A$	$B$	$Y_0$	$Y_1$	$Y_2$	$Y_3$
0	0	$D_0$	0	0	0
0	1	0	$D_0$	0	0
1	0	0	0	$D_0$	0
1	1	0	0	0	$D_0$

(b)

4選択デマルチプレクサの概念図と真理値表

入力信号  $D$  が1のとき出力が1になるから真理値表は下記のように書き換えられる

$A$	$B$	$D$	$Y_0$	$Y_1$	$Y_2$	$Y_3$
0	0	1	1	0	0	0
0	1	1	0	1	0	0
1	0	1	0	0	1	0
1	1	1	0	0	0	1

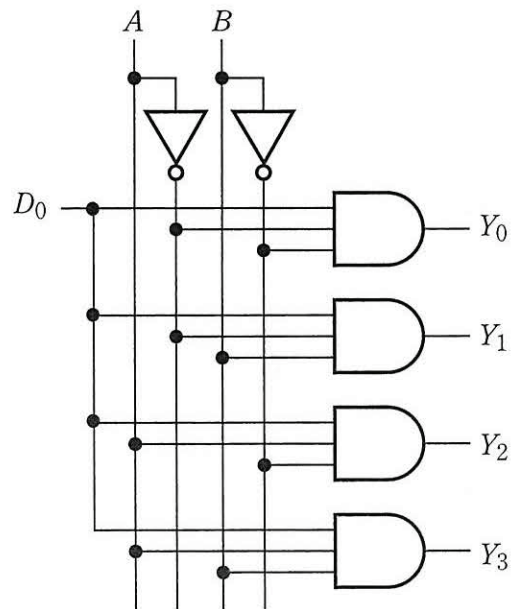
各出力を加法標準形の論理式で表現すると次のようになる

$$Y_0 = \overline{A} \cdot \overline{B} \cdot D_0, \quad Y_1 = \overline{A} \cdot B \cdot D_0,$$

$$Y_2 = A \cdot \overline{B} \cdot D_0, \quad Y_3 = A \cdot B \cdot D_0$$

$A$	$B$	$D$	$Y_0$	$Y_1$	$Y_2$	$Y_3$
0	0	$D_0$	1	0	0	0
0	1	$D_0$	0	1	0	0
1	0	$D_0$	0	0	1	0
1	1	$D_0$	0	0	0	1

(a)



(b)

4選択デマルチプレクサの論理回路

## 2.4 半加算器と全加算器

### 加算器

2進法により2つの数を加算する回路

入力として  $A$ ,  $B$  を受け、その桁の和  $S$  と桁上り  $C$  を出力する

**半加算器** : 下の桁からの桁上りのない加算器

**全加算器** : 下の桁からの桁上りも加算する加算器

$A$	$B$	$C_0$	$S$
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

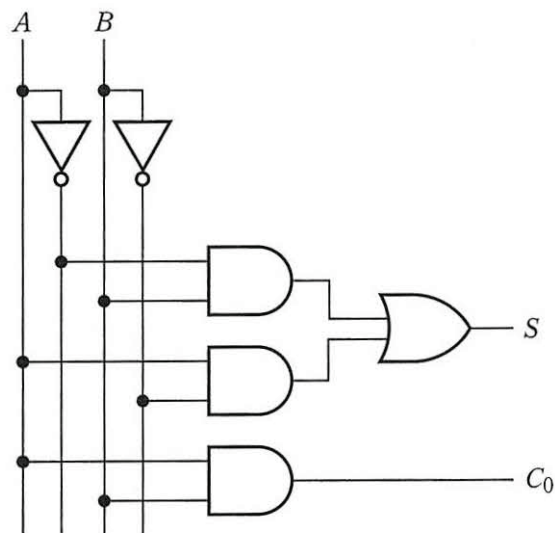
  

$A$	$B$	$C_0$	$C$	$S$
0	0	0	0	0
0	1	0	0	1
1	0	0	0	1
1	1	0	1	0
0	0	1	0	1
0	1	1	1	0
1	0	1	1	0
1	1	1	1	1

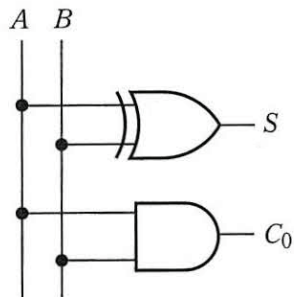
真理値表より半加算器の論理式は次のようになる

$$S = \bar{A} \cdot B + A \cdot \bar{B} \quad (= A \oplus B)$$

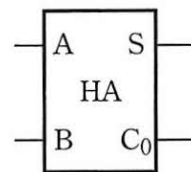
$$C_0 = A \cdot B$$



半加算器 HA



XORによる半加算器 HA



半加算器 HA の論理記号

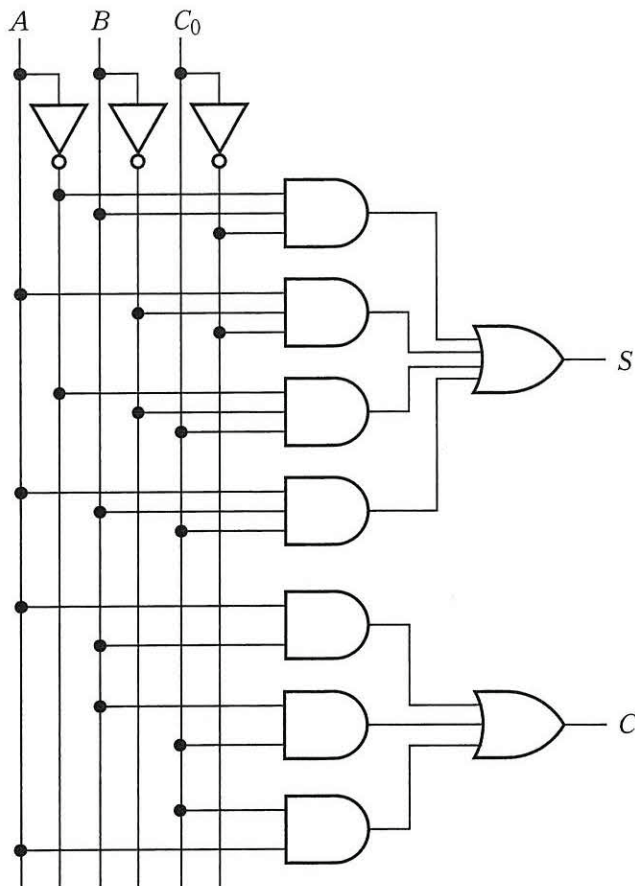
真理値表より全加算器の論理式は次のようになる

$$S = \overline{A} \cdot B \cdot \overline{C_0} + A \cdot \overline{B} \cdot \overline{C_0} + \overline{A} \cdot \overline{B} \cdot C_0 + A \cdot B \cdot C_0$$

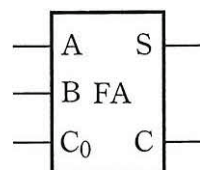
$$C = A \cdot B \cdot \overline{C_0} + \overline{A} \cdot B \cdot C_0 + A \cdot \overline{B} \cdot C_0 + A \cdot B \cdot C_0$$

$$= A \cdot B + B \cdot C_0 + A \cdot C_0$$

※ Cの簡略化にはカルノー図が利用できる



全加算器FA



全加算器FAの論理記号

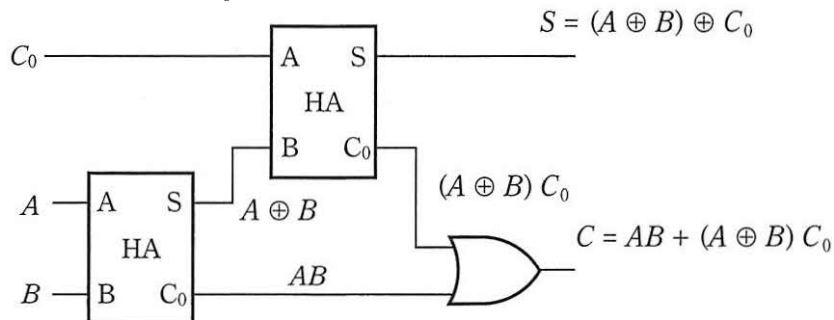
※ SとCはXORゲートで表現でき、全加算器は半加算器2つより構成できることが分かる

$$S = \overline{A} \cdot B \cdot \overline{C_0} + A \cdot \overline{B} \cdot \overline{C_0} + \overline{A} \cdot \overline{B} \cdot C_0 + A \cdot B \cdot C_0$$

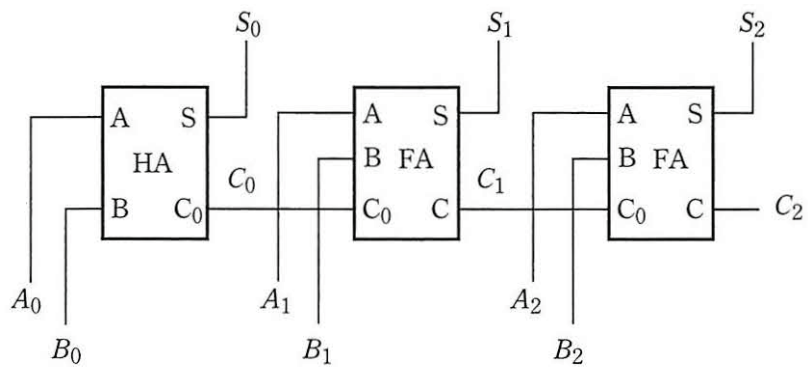
$$= (A \oplus B) \oplus C_0$$

$$C = A \cdot B \cdot \overline{C_0} + \overline{A} \cdot B \cdot C_0 + A \cdot \overline{B} \cdot C_0 + A \cdot B \cdot C_0$$

$$= A \cdot B + (A \oplus B) \cdot C_0$$



半加算器 (HA) による全加算器 (FA)



リプルキャリー方式3ビット加算器